

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 8 日
Date of Application:

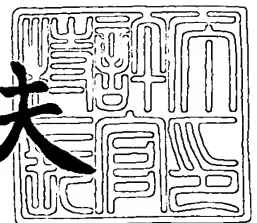
出 願 番 号 特 願 2 0 0 2 - 3 1 3 0 2 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 1 3 0 2 7]

出 願 人 株式会社日立製作所
Applicant(s):

2 0 0 3 年 1 0 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 HI020571

【提出日】 平成14年10月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/177

【発明者】

 【住所又は居所】 神奈川県小田原市中里 3 2 2 番地 2 号 株式会社日立製作所 R A I D システム事業部内

 【氏名】 内海 勝広

【発明者】

 【住所又は居所】 神奈川県小田原市中里 3 2 2 番地 2 号 株式会社日立製作所 R A I D システム事業部内

 【氏名】 桑原 宏

【発明者】

 【住所又は居所】 神奈川県小田原市中里 3 2 2 番地 2 号 株式会社日立製作所 R A I D システム事業部内

 【氏名】 光岡 芳夫

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100071283

 【弁理士】

 【氏名又は名称】 一色 健輔

【選任した代理人】

 【識別番号】 100084906

 【弁理士】

 【氏名又は名称】 原島 典孝

【選任した代理人】

【識別番号】 100098523

【弁理士】

【氏名又は名称】 黒川 恵

【選任した代理人】

【識別番号】 100112748

【弁理士】

【氏名又は名称】 吉田 浩二

【選任した代理人】

【識別番号】 100110009

【弁理士】

【氏名又は名称】 青木 康

【手数料の表示】

【予納台帳番号】 011785

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶装置の制御装置、及び記憶装置の制御装置の制御方法

【特許請求の範囲】

【請求項 1】 コンピュータとの間で通信を行うための第 1 の通信ポートと

、
前記第 1 の通信ポートを制御する第 1 のプロセッサと、
前記コンピュータから前記第 1 の通信ポートに送られた前記通信を行うための
コマンドを記憶するための第 1 の待ち行列を記憶する第 1 の記憶手段と、
前記第 1 のプロセッサがアクセスする第 1 の不揮発性メモリと、
前記コンピュータとの間で通信を行うための第 2 の通信ポートと、
前記第 2 の通信ポートを制御する第 2 のプロセッサと、
前記コンピュータから前記第 2 の通信ポートに送られた前記通信を行うための
コマンドを記憶するための第 2 の待ち行列を記憶する第 2 の記憶手段と
を備え、

前記第 1 のプロセッサは、前記第 1 の待ち行列に格納した前記コマンドを実行
することにより前記コンピュータとの間の前記通信を制御し、

前記第 2 のプロセッサは、前記第 2 の待ち行列に格納した前記コマンドを実行
することにより前記コンピュータとの間の前記通信を制御する
記憶装置の制御装置において、

前記第 1 の待ち行列に格納された前記コマンドの実行を前記第 2 のプロセッサ
に担当させる手段と、

前記第 1 の待ち行列に格納された前記コマンドの実行を前記第 2 のプロセッサ
に担当させている間に、前記第 1 の不揮発性メモリに記憶されるデータを変更す
る手段と
を備えることを特徴とする記憶装置の制御装置。

【請求項 2】 前記第 1 の待ち行列に格納された前記コマンドの実行を前記
第 2 のプロセッサに担当させる手段は、

前記第 1 のプロセッサが前記第 1 の待ち行列に格納された前記コマンドを前記
第 2 の待ち行列に転送し、前記第 2 のプロセッサが前記第 2 の待ち行列から前記

コマンドを読み出して実行する手段であることを特徴とする請求項 1 に記載の記憶装置の制御装置。

【請求項 3】 前記第 1 の待ち行列に格納された前記コマンドの実行を前記第 2 のプロセッサに担当させる手段は、

前記第 2 のプロセッサが前記第 1 の待ち行列から前記コマンドを読み出して実行する手段であることを特徴とする請求項 1 に記載の記憶装置の制御装置。

【請求項 4】 前記第 1 の不揮発性メモリに記憶されるデータを変更する手段は、

前記第 1 のプロセッサが、外部から入力されるデータを前記第 1 の不揮発性メモリに記憶されるデータに上書きする手段であることを特徴とする請求項 1 に記載の記憶装置の制御装置。

【請求項 5】 コンピュータとの間で通信を行うための第 1 の通信ポートと、

前記第 1 の通信ポートを制御する第 1 のプロセッサと、

前記コンピュータから前記第 1 の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第 1 の待ち行列を記憶する第 1 の記憶手段と、

前記第 1 のプロセッサがアクセスする第 1 の不揮発性メモリと、

前記コンピュータとの間で通信を行うための第 2 の通信ポートと、

前記第 2 の通信ポートを制御する第 2 のプロセッサと、

前記コンピュータから前記第 2 の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第 2 の待ち行列を記憶する第 2 の記憶手段とを備え、

前記第 1 のプロセッサは、前記第 1 の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御し、

前記第 2 のプロセッサは、前記第 2 の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御する記憶装置の制御装置の制御方法であって、

前記第 1 の待ち行列に格納された前記コマンドの実行を前記第 2 のプロセッサに担当させるステップと、

前記第 1 の待ち行列に格納された前記コマンドの実行を前記第 2 のプロセッサに担当させている間に、前記第 1 の不揮発性メモリに記憶されるデータを変更するステップと
を備えることを特徴とする記憶装置の制御装置の制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、記憶装置の制御装置、及び記憶装置の制御装置の制御方法に関する。

【0 0 0 2】

【従来の技術】

コンピュータシステムは、一旦稼動を開始した後も制御プログラムを変更することにより新たな機能の追加等を行うことができる。通常は、新たな制御プログラムを装置に組み込むために、当該装置の再起動が行われる。

しかしながら 2 4 時間 3 6 5 日の連続運転が求められるようなコンピュータシステムにおいてはシステムを停止させることはできない。

そのため、従来からコンピュータシステムにおける記憶装置の制御装置の制御プログラムを変更する場合に、データの入出力処理を止めずに制御プログラムを変更する技術が提案されている（例えば特許文献 1 参照）。

【0 0 0 3】

【特許文献 1】

特開平 7 - 3 0 6 8 4 4 号公報

【0 0 0 4】

【発明が解決しようとする課題】

しかしながら従来の技術では、コンピュータから記憶装置の制御装置へのデータ転送パスが複数あることを利用し、全体としてはコンピュータからのデータ入出力処理を止めずに制御プログラムを変更しているものの、制御プログラムの変更に関わるデータ転送パスについてはコンピュータからのデータ入出力処理を停止している。そのため、コンピュータは当該データ転送パスを迂回してデータの

入出力を行わなければならなかった。そしてコンピュータにデータ転送パスを迂回させるためにコンピュータの設定変更を行う必要があった。

本発明は、記憶装置の制御装置及び記憶装置の制御装置の制御方法を提供することを主たる目的とする。

【0005】

【課題を解決するための手段】

コンピュータとの間で通信を行うための第1の通信ポートと、前記第1の通信ポートを制御する第1のプロセッサと、前記コンピュータから前記第1の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第1の待ち行列を記憶する第1の記憶手段と、前記第1のプロセッサがアクセスする第1の不揮発性メモリと、前記コンピュータとの間で通信を行うための第2の通信ポートと、前記第2の通信ポートを制御する第2のプロセッサと、前記コンピュータから前記第2の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第2の待ち行列を記憶する第2の記憶手段とを備え、前記第1のプロセッサは、前記第1の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御し、前記第2のプロセッサは、前記第2の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御する記憶装置の制御装置において、前記第1の待ち行列に格納された前記コマンドの実行を前記第2のプロセッサに担当させる手段と前記第1の待ち行列に格納された前記コマンドの実行を前記第2のプロセッサに担当させている間に、前記第1の不揮発性メモリに記憶されるデータを変更する手段とを備える。

【0006】

その他、本願が開示する課題、及びその解決方法は、発明の実施の形態の欄、及び図面により明らかにされる。

【0007】

【発明の実施の形態】

=== 開示の概要 ===

本明細書の記載により少なくとも次のことが明らかにされる。

本実施の形態の一形態は、コンピュータとの間で通信を行うための第 1 の通信ポートと、前記第 1 の通信ポートを制御する第 1 のプロセッサと、前記コンピュータから前記第 1 の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第 1 の待ち行列を記憶する第 1 の記憶手段と、前記第 1 のプロセッサがアクセスする第 1 の不揮発性メモリと、前記コンピュータとの間で通信を行うための第 2 の通信ポートと、前記第 2 の通信ポートを制御する第 2 のプロセッサと、前記コンピュータから前記第 2 の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第 2 の待ち行列を記憶する第 2 の記憶手段とを備え、前記第 1 のプロセッサは、前記第 1 の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御し、前記第 2 のプロセッサは、前記第 2 の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御する記憶装置の制御装置において、前記第 1 の待ち行列に格納された前記コマンドの実行を前記第 2 のプロセッサに担当させる手段と前記第 1 の待ち行列に格納された前記コマンドの実行を前記第 2 のプロセッサに担当させている間に、前記第 1 の不揮発性メモリに記憶されるデータを変更する手段とを備えることを特徴とする。

【0 0 0 8】

このような態様により、コンピュータと記憶装置の制御装置との間のデータ転送を停止させることなく、不揮発性メモリに記憶されるデータ、例えばプロセッサの制御プログラムを変更することができる。これにより、24 時間 365 日の連続運転が求められるようなコンピュータシステムにおいても、記憶装置へのデータアクセスを停止させることなくシステムの仕様変更を行うことができる。またコンピュータからのデータ転送パスの変更も不要なため、コンピュータには何らの変更も必要とせずに制御プログラムを変更することが可能となる。これにより、例えば遠隔地からの操作により通信網を介して制御プログラムを変更することも可能となる。

【0 0 0 9】

さらに本態様によれば、データ転送パスの動的切り替えが困難な通信プロトコル、例えばファイバチャネルや SCSI (Small Computer System Interface) 等、を

採用するオープン系コンピュータに接続される記憶装置の制御装置であっても、記憶装置へのデータアクセスを止めることなく制御プログラムの変更が可能となる。そのため、接続されるコンピュータがオープン系であってもメインフレーム系であっても記憶装置へのデータアクセスを止めることなく制御プログラムの変更を行うことができる。

【 0 0 1 0 】

また本実施の形態の一形態は、前記第 1 の待ち行列に格納された前記コマンドの実行を前記第 2 のプロセッサに担当させる手段は、前記第 1 のプロセッサが前記第 1 の待ち行列に格納された前記コマンドを前記第 2 の待ち行列に転送し、前記第 2 のプロセッサが前記第 2 の待ち行列から前記コマンドを読み出して実行する手段であることを特徴とする。

【 0 0 1 1 】

このような態様により、第 1 及び第 2 の両方の通信ポートを介したコンピュータとのデータ転送のためのコマンドを第 2 のプロセッサが第 2 の待ち行列から読み出して実行することができる。これにより、第 1 の通信ポートを介したデータ転送を停止させることなく、第 1 のプロセッサの制御プログラムを変更することが可能となる。

【 0 0 1 2 】

また本実施の形態の一形態は、前記第 1 の待ち行列に格納された前記コマンドの実行を前記第 2 のプロセッサに担当させる手段は、前記第 2 のプロセッサが前記第 1 の待ち行列から前記コマンドを読み出して実行する手段であることを特徴とする。

【 0 0 1 3 】

このような態様によっても、第 2 のプロセッサは第 1 及び第 2 の両方の通信ポートを介したコンピュータとのデータ転送のためのコマンドを実行することができる。これにより、第 1 の通信ポートを介したデータ転送を停止させることなく、第 1 のプロセッサの制御プログラムを変更することが可能となる。

【 0 0 1 4 】

また本実施の形態の一形態は、前記第 1 の不揮発性メモリに記憶されるデータ

を変更する手段は、前記第 1 のプロセッサが、外部から入力されるデータを前記第 1 の不揮発性メモリに記憶されるデータに上書きする手段であることを特徴とする。

【0015】

また本実施の形態の一形態は、コンピュータとの間で通信を行うための第 1 の通信ポートと、前記第 1 の通信ポートを制御する第 1 のプロセッサと、前記コンピュータから前記第 1 の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第 1 の待ち行列を記憶する第 1 の記憶手段と、前記第 1 のプロセッサがアクセスする第 1 の不揮発性メモリと、前記コンピュータとの間で通信を行うための第 2 の通信ポートと、前記第 2 の通信ポートを制御する第 2 のプロセッサと、前記コンピュータから前記第 2 の通信ポートに送られた前記通信を行うためのコマンドを記憶するための第 2 の待ち行列を記憶する第 2 の記憶手段とを備え、前記第 1 のプロセッサは、前記第 1 の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御し、前記第 2 のプロセッサは、前記第 2 の待ち行列に格納した前記コマンドを実行することにより前記コンピュータとの間の前記通信を制御する記憶装置の制御装置の制御方法であって、前記第 1 の待ち行列に格納された前記コマンドの実行を前記第 2 のプロセッサに担当させるステップと、前記第 1 の待ち行列に格納された前記コマンドの実行を前記第 2 のプロセッサに担当させている間に、前記第 1 の不揮発性メモリに記憶されるデータを変更するステップとを備えることを特徴とする。

【0016】

===全体構成例===

まず、本実施の形態に係る記憶装置システムの 1 構成例を示すブロック図を図 1 に示す。

本実施の形態に係る記憶装置システム 1000 は、ディスク制御装置（記憶装置の制御装置）200、及び記憶装置 300 を備える。ディスク制御装置 200 は、チャンネル制御部 400、ディスク制御部 800、サービスプロセッサ（SVP: SerVice Processor）500、共有メモリ（SM:Shared Memory）600、キャッシュメモリ 700、及び内部ネットワーク 900 を備える。

【 0 0 1 7 】

コンピュータ 1 0 0 はディスク制御装置 2 0 0 を介して記憶装置 3 0 0 にデータを記憶する。コンピュータ 1 0 0 は、メインフレーム系コンピュータとすることもできるし、オープン系コンピュータとすることもできる。またコンピュータ 1 0 0 とディスク制御装置 2 0 0 は、ネットワークを介して接続されるようにすることもできるし、直接に接続されるようにすることもできる。この場合ネットワークとしては、SAN(Storage Area Network)や、インターネット、専用LAN(Local Area Network)等、様々なネットワークを採用することができる。通信プロトコルとしては、ファイバチャネルやSCSI、ESCON、FICON等、様々なものを採用することができる。

【 0 0 1 8 】

チャネル制御部 4 0 0 はコンピュータ 1 0 0 と接続され、コンピュータ 1 0 0 との間でデータを授受する。チャネル制御部 4 0 0 がコンピュータ 1 0 0 から受信したデータはディスク制御部 8 0 0 を介して記憶装置 3 0 0 に書き込まれる。またコンピュータ 1 0 0 から読み出し要求のあったデータを記憶装置 3 0 0 からディスク制御部 8 0 0 を介して読み出して、コンピュータ 1 0 0 に送信する。なおチャネル制御部 4 0 0 やディスク制御部 8 0 0 、コンピュータ 1 0 0 は 2 台に限られず、それぞれ任意の台数とすることができる。

【 0 0 1 9 】

キャッシュメモリ 7 0 0 は、チャネル制御部 4 0 0 とディスク制御部 8 0 0 との間で授受されるデータを一時的に記憶し記憶装置 3 0 0 へのアクセス頻度を減らすことにより、コンピュータ 1 0 0 からのデータアクセスを高速化するために用いられる。共有メモリ 6 0 0 は、全てのチャネル制御部 4 0 0 からアクセス可能なメモリであり、制御情報の記憶等に用いられる。

【 0 0 2 0 】

チャネル制御部 4 0 0 、ディスク制御部 8 0 0 、キャッシュメモリ 7 0 0 、及び共有メモリ 6 0 0 は、内部ネットワーク 9 0 0 により相互に接続されている。内部ネットワーク 9 0 0 としてはどのようなトポロジのものでも採用することもでき、例えばクロスバ結合やバス結合とすることができる。なお内部ネットワー

ク 900 を設けずに、チャンネル制御部 400 やディスク制御部 800 等を直接に接続する態様とすることもできる。

【0021】

サービスプロセッサ 500 は、ディスク制御装置 200 や記憶装置 300 を保守・管理するためのコンピュータである。例えばチャンネル制御部 400 において実行される制御プログラムの変更は、サービスプロセッサ 500 からの指示により行われる。サービスプロセッサ 500 は、ディスク制御装置 200 に内蔵されている形態とすることもできるし、別体とすることもできる。またサービスプロセッサ 500 は、ディスク制御装置 200、記憶装置 300 の保守・管理を専用に行うコンピュータとすることもできるし、汎用のコンピュータに保守・管理機能を持たせたものとすることもできる。

【0022】

記憶装置 300 は、コンピュータ 100 に提供するための記憶資源 301 を備えている。記憶資源 301 としては、例えばハードディスク装置やフレキシブルディスク装置、磁気テープ、半導体記憶装置等様々なものを採用することができる。

【0023】

=== ディスク制御装置の構成例 ===

次に、本実施の形態に係るディスク制御装置 200 の 1 構成例を示すブロック図を図 2 に示す。

チャンネル制御部 400 がコンピュータ 100 と接続されている。また、チャンネル制御部 400、共有メモリ 600、キャッシュメモリ 700、サービスプロセッサ 500 が相互に結合されている。ディスク制御部 800、内部ネットワーク 900 は図面の簡単化のために省略されている。

【0024】

本実施の形態に係るディスク制御装置 200 においては、2 台のチャンネル制御部 400、すなわちチャンネル制御部 A 400 a とチャンネル制御部 B 400 b とが設けられている。各チャンネル制御部 400 a 及び 400 b は、I F (InterFace) コントローラ (通信ポート) 401、バスコントローラ 402、プロセッサ 4

0 3、ローカルメモリ 4 0 4、DMA (Direct Memory Access) 転送回路 4 0 7 を備える。

【 0 0 2 5 】

バスコントローラ 4 0 2 は、各チャネル制御部 4 0 0 の内部でのデータ転送を制御すると共に、各チャネル制御部 4 0 0 間を相互に接続する。

【 0 0 2 6 】

I F コントローラ 4 0 1 はコンピュータ 1 0 0 との間でデータの送受信を行うための通信ポートとして機能する。I F コントローラ 4 0 1 がコンピュータ 1 0 0 から受信したデータはDMA転送回路 4 0 7 を経由してキャッシュメモリ 7 0 0 に転送される。またキャッシュメモリ 7 0 0 に記憶されているデータは、DMA転送回路 4 0 7 を介して I F コントローラ 4 0 1 に取り込まれ、コンピュータ 1 0 0 に転送される。DMA転送回路 4 0 7 には I F コントローラ 4 0 1 とキャッシュメモリ 7 0 0 との間で行われるデータ転送のためのバッファ 4 0 8 が備えられている。

【 0 0 2 7 】

このようなデータ転送は、コンピュータ 1 0 0 から送られてくるデータ転送のためのコマンド（リードコマンド、ライトコマンド等）に従って行われる。I F コントローラ 4 0 1 は、コンピュータ 1 0 0 から送られてきたコマンドをローカルメモリ 4 0 4 の J O B キュー 4 0 6 に書き込む。プロセッサ 4 0 3 は J O B キュー 4 0 6 に書き込まれたコマンドを読み出し、コマンドに従って I F コントローラ 4 0 1 やDMA転送回路 4 0 7 を制御することにより、コンピュータ 1 0 0 との間のデータ転送を制御する。

【 0 0 2 8 】

ローカルメモリ 4 0 4 にはマイクロプログラム（制御プログラム） 4 0 5 が格納されている。マイクロプログラム 4 0 5 はプロセッサ 4 0 3 の動作を司るためのプログラム（データ）である。従ってマイクロプログラム 4 0 5 を変更することにより、プロセッサ 4 0 3 の動作を変えることができる。なおローカルメモリ 4 0 4 はフラッシュメモリ等のデータ書き換えが可能な不揮発性メモリであり、電力の供給が無くても記憶データを保持することができる。もちろんローカルメ

メモリ 404 を揮発性メモリで構成し、ローカルメモリ 404 への供給電力をバッテリーでバックアップすることによりディスク制御装置 200 の電源を遮断しても記憶データを保持するようにすることもできる。

【0029】

マイクロプログラム 405 の変更は、新規マイクロプログラム 414 をサービスプロセッサ 500 が共有メモリ 600 の所定のアドレスに書き込むことにより行われる。プロセッサ 403 は、起動時にローカルメモリ 404 の所定のアドレスに記憶されているマイクロプログラム 405 のバージョンと、共有メモリ 600 の所定のアドレスに記憶されている新規マイクロプログラム 414 のバージョンを比較する。プロセッサ 403 が毎回の起動時にこのような動作を行うのは、マイクロプログラム 405 または新規マイクロプログラム 414 にそのように記述されているからである。共有メモリ 600 の所定のアドレスにバージョンが記憶されていないか又は両プログラムのバージョンが同一の場合は、ローカルメモリ 404 に記憶されているマイクロプログラム 405 に従ってプロセッサ 403 は動作する。

【0030】

一方、両プログラムのバージョンが異なっている場合には共有メモリ 600 に記憶されている新規マイクロプログラム 414 をローカルメモリ 404 の所定のアドレスにコピーする。これによりプロセッサ 403 は新規マイクロプログラム 414 に従った動作をするようになる。なおプロセッサ 403 に、新規マイクロプログラム 414 を共有メモリ 600 からローカルメモリ 404 にコピーさせるのは、古いマイクロプログラム 405 とすることもできるし、新規マイクロプログラム 414 とすることもできる。前者の場合は、新規マイクロプログラム 414 をローカルメモリ 404 にコピーし終えた段階でプロセッサを再起動（リブート）し、新規マイクロプログラム 414 をプロセッサ 403 に認識させることが必要となる。後者の場合は、新規マイクロプログラム 414 をローカルメモリ 404 にコピーしつつ、プロセッサ 403 は新規マイクロプログラム 414 を認識する。この場合再起動は不要である。

【0031】

===マイクロプログラムの変更処理===

次に、本実施の形態に係るマイクロプログラムの変更処理の流れを示すフローチャートを図3に示す。ここでは、図2におけるプロセッサA403aのマイクロプログラム405を変更する場合を例に説明する。

【0032】

プロセッサA403aのマイクロプログラム405の変更前は、プロセッサA403aは、IFコントローラA401aを介したチャンネル制御部A400aのデータ入出力を制御しており、プロセッサB403bは、IFコントローラB401bを介したチャンネル制御部B400bのデータ入出力を制御している（S1001、S1002）。

【0033】

プロセッサA403aのマイクロプログラム405を変更する場合には、まずサービスプロセッサ500が新規マイクロプログラム414を共有メモリ600に書き込む。そしてプロセッサA403aに対してマイクロプログラムの交換指示を送信する（S1000、S1003）。

【0034】

交換指示を受け取ったプロセッサA403aは、仕掛かり中のJOB（入出力処理）はそのまま継続して実行するが、コンピュータ100からの新たなJOBは実行しない。新たなJOBは、ローカルメモリ404a上に設けられるJOBキューA406aとは別の、新規JOBキューA413aに格納しておく（S1004）。なおここで、サービスプロセッサ500から交換指示を受信した時点で、JOBキューA406aに格納されている未処理JOBについては、新規JOBキューA413aに移し替えるようにすることもできるし、仕掛かり中のJOBとして処理を行ってしまうこともできる。

【0035】

仕掛かり中のJOBの処理が終了したら（S1005）、プロセッサA403aはプロセッサB403bに対して、チャンネル制御部A400aの入出力処理を行うよう指示を送信する。そして新規JOBキューA413aに格納されているJOB（入出力コマンド）をローカルメモリB404bのJOBキューB406

bに転送する(S1006)。これによりプロセッサB403bは、チャンネル制御部A400aの入出力処理を行うことができるようになる。なおここで、新規JOBキューA413aに格納されているJOBをローカルメモリB404bのJOBキューB406bに転送しない態様とすることもできる。この場合プロセッサB403bは、ローカルメモリA404aの新規JOBキューA413aを参照することにより、チャンネル制御部A400aの入出力処理を行うことになる。プロセッサB403bは、上記指示及びJOBをプロセッサA403aから受け取ったらサービスプロセッサ500に対してチャンネル制御部A400aの入出力処理を行うことを報告する(S1007)。

【0036】

報告を受け取ったサービスプロセッサ500は、プロセッサA403aに対して、再起動(リブート)の指示を行う(S1009)。

【0037】

そうすると、プロセッサA403aは、ローカルメモリ404aの所定のアドレスに記憶されているマイクロプログラム405のバージョンと、共有メモリ600の所定のアドレスに記憶されている新規マイクロプログラム414のバージョンを比較する。ここで両プログラムのバージョンが異なっていれば、共有メモリ600に記憶されている新規マイクロプログラム414をローカルメモリ404aの所定のアドレスにコピーする(S1010)。新規マイクロプログラム414をローカルメモリ404aにコピーし終えたら、プロセッサA403aは再起動する(S1011、S1012)。これによりプロセッサA403aの動作を司るマイクロプログラム405を新規マイクロプログラム414に変更することができる。

【0038】

なお前述した通りプロセッサA403aは、サービスプロセッサ500から再起動指示を受けた段階で直ちに再起動を行うようにすることもできる。この場合は、共有メモリ600に記憶されている新規マイクロプログラム414をローカルメモリ404aにコピーしつつ、新規マイクロプログラム414の組み込みが同時に行われる。

【0039】

プロセッサA403aがマイクロプログラムの変更処理を行っている間は、プロセッサA403aはIFコントローラA401aの制御を行うことができない。そのため従来の技術では、コンピュータ100との間のデータ入出力制御を継続させるために、コンピュータ100からのデータ転送経路をIFコントローラA401aとは別のIFコントローラ、例えばIFコントローラB401bへ変更させる必要があった。

【0040】

しかし本実施の形態に係るマイクロプログラムの変更においては、データ転送経路の変更は不要である。なぜならプロセッサB403bがIFコントローラA401aの制御を行うからである。すなわちプロセッサB403bは、プロセッサA403aがマイクロプログラムの変更を行っている間、コンピュータ100とIFコントローラB401bとの間のデータ転送の処理に加え、コンピュータ100とIFコントローラA401aとの間のデータ転送の処理も行うからである(S1008)。

【0041】

プロセッサB403bは、ローカルメモリA404aからローカルメモリB404bに移し換えた上記JOBを処理することにより、IFコントローラA401aとコンピュータ100との間のデータ転送の処理を行う。またプロセッサB403bは、ローカルメモリA404aの新規JOBキューA413aを定期的に参照し、新規JOBキューA413aに新たなJOBがあるかどうかをチェックする。これによりコンピュータ100からチャンネル制御部A400aに継続して送られてくる新たなJOBの処理を行う。新規JOBキューA413aに新たなJOBが格納されている場合には、当該JOBをローカルメモリA404aからローカルメモリB404bに移し換えてデータ転送の処理を行う(S1008)。もちろん、新規JOBキューA413aに格納されている新規JOBをローカルメモリB404bに移し換えない態様とすることもできる。

【0042】

IFコントローラA401aを介してコンピュータ100との間で授受される

データは、DMA転送回路A 4 0 7 aを経由するようにすることもできるし、DMA転送回路B 4 0 7 bを経由するようにすることもできる。

【0 0 4 3】

プロセッサA 4 0 3 aのマイクロプログラムの変更が終了したら（S 1 0 1 2）、プロセッサA 4 0 3 aは、プロセッサB 4 0 3 bに対して、IFコントローラA 4 0 1 aを介したチャンネル制御部A 4 0 0 aの入出力処理をプロセッサA 4 0 3 aに戻すよう、指示を送信する（S 1 0 1 4）。

【0 0 4 4】

そうすると、指示を受け取ったプロセッサB 4 0 3 bは、仕掛かり中のチャンネル制御部A 4 0 0 aのJOBはそのまま継続して実行するが、新たにチャンネル制御部A 4 0 0 aがコンピュータ1 0 0から受け取ったJOBは実行しない。すなわちローカルメモリA 4 0 4 aの新規JOBキューA 4 1 3 aに新たなJOBがあっても、ローカルメモリB 4 0 4 bへの移し換えは行わない。これ以降にチャンネル制御部A 4 0 0 aがコンピュータ1 0 0から受け取ったJOBはローカルメモリA 4 0 4 aのJOBキューA 4 0 6 aに格納するようにする（S 1 0 1 4）。

。

【0 0 4 5】

プロセッサB 4 0 3 bは、仕掛かり中のチャンネル制御部A 4 0 0 aのJOBの処理が終了したら（S 1 0 1 5）、プロセッサA 4 0 3 aに対してチャンネル制御部A 4 0 0 aの入出力処理を返還する旨の送信を行う（S 1 0 1 6）。続いてプロセッサA 4 0 3 aはサービスプロセッサ5 0 0に対してマイクロプログラムの変更を終了した旨の報告を行う（S 1 0 1 7）。

【0 0 4 6】

以上でプロセッサA 4 0 3 aのマイクロプログラムの変更処理が終了する。その後は、プロセッサA 4 0 3 aはIFコントローラA 4 0 1 aを介したチャンネル制御部A 4 0 0 aのデータ入出力を制御し、プロセッサB 4 0 3 bはIFコントローラB 4 0 1 bを介したチャンネル制御部B 4 0 0 bのデータ入出力を制御する（S 1 0 1 8、S 1 0 1 9）。

プロセッサB 4 0 3 bのマイクロプログラム4 0 5を変更する場合も同様であ

る。

【0 0 4 7】

=== ディスク制御装置の他の構成例 ===

次に、本実施の形態に係るディスク制御装置 2 0 0 の他の構成例を示すブロック図を図 4 に示す。

図 4 の構成例においては、チャンネル制御部 A 4 0 0 a 及びチャンネル制御部 B 4 0 0 b は、それぞれ 4 台の I/F コントローラ (I/F Controller) 4 0 1、4 台のプロセッサ 4 0 3、及び 4 台のローカルメモリ (LM) 4 0 4 を備えている。そして、各コンポーネントを結合するバスの規格としては P C I - X (Peripheral Components Interconnect) が採用されている。

【0 0 4 8】

このような構成の場合のマイクロプログラムの交換は、以下に示すような態様で行うことができる。

すなわち第 1 の態様は、図 2 及び図 3 で示したのと同様、チャンネル制御部 A 4 0 0 a に属するあるプロセッサ A 4 0 3 a のマイクロプログラムを交換している間、当該プロセッサ A 4 0 3 a がそれまで行っていたコンピュータ 1 0 0 との間のデータ転送の制御を、チャンネル制御部 B 4 0 0 b に属するあるプロセッサ B 4 0 3 b に行わせる態様である。このような態様によれば、コンピュータ 1 0 0 とディスク制御装置 2 0 0 との間のデータ転送を停止させることなく、さらにコンピュータ 1 0 0 とディスク制御装置 2 0 0 との間のデータ転送パスに何らの変更を必要とすることなく、ディスク制御装置 2 0 0 のマイクロプログラムを変更することができる。

【0 0 4 9】

また第 2 の態様は、同一チャンネル制御部内のプロセッサを用いて上記マイクロプログラムの変更を行う態様である。このような態様によれば、チャンネル制御部 4 0 0 を 1 台しか備えていないディスク制御装置 2 0 0 においても、コンピュータ 1 0 0 とディスク制御装置 2 0 0 との間のデータ転送を停止させることなく、さらにコンピュータ 1 0 0 とディスク制御装置 2 0 0 との間のデータ転送パスに何らの変更を必要とすることなく、ディスク制御装置 2 0 0 のマイクロプログラ

ムを変更することができる。

【0050】

さらに図4に示す構成例によれば、コンピュータ100とディスク制御装置200との間のデータ転送を停止させることなく、さらにコンピュータ100とディスク制御装置200との間のデータ転送パスに何らの変更を必要とすることなく、複数のプロセッサのマイクロプログラムを同時に交換することもできる。

【0051】

以上本実施の形態について説明したが、上記実施例は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明はその趣旨を逸脱することなく変更、改良され得ると共に、本発明にはその等価物も含まれる。

【0052】

【発明の効果】

記憶装置の制御装置、及び記憶装置の制御装置の制御方法を提供することができる。

【図面の簡単な説明】

【図1】 本実施の形態に係る記憶装置システムの1構成例を示すブロック図である。

【図2】 本実施の形態に係るディスク制御装置の1構成例を示すブロック図である。

【図3】 本実施の形態に係るマイクロプログラムの変更処理の流れを示すフローチャートである。

【図4】 本実施の形態に係るディスク制御装置の他の構成例を示すブロック図である。

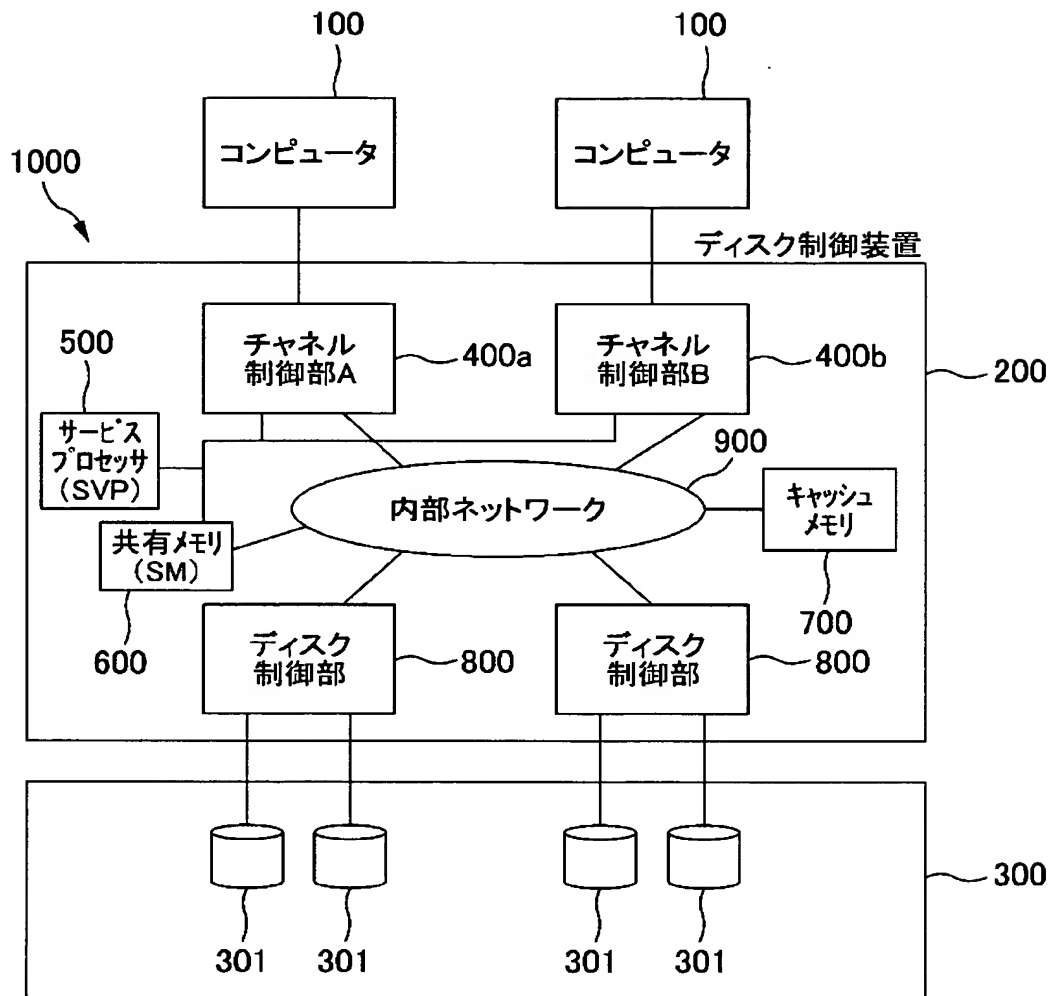
【符号の説明】

100	コンピュータ
200	ディスク制御装置
300	記憶装置
301	記憶資源

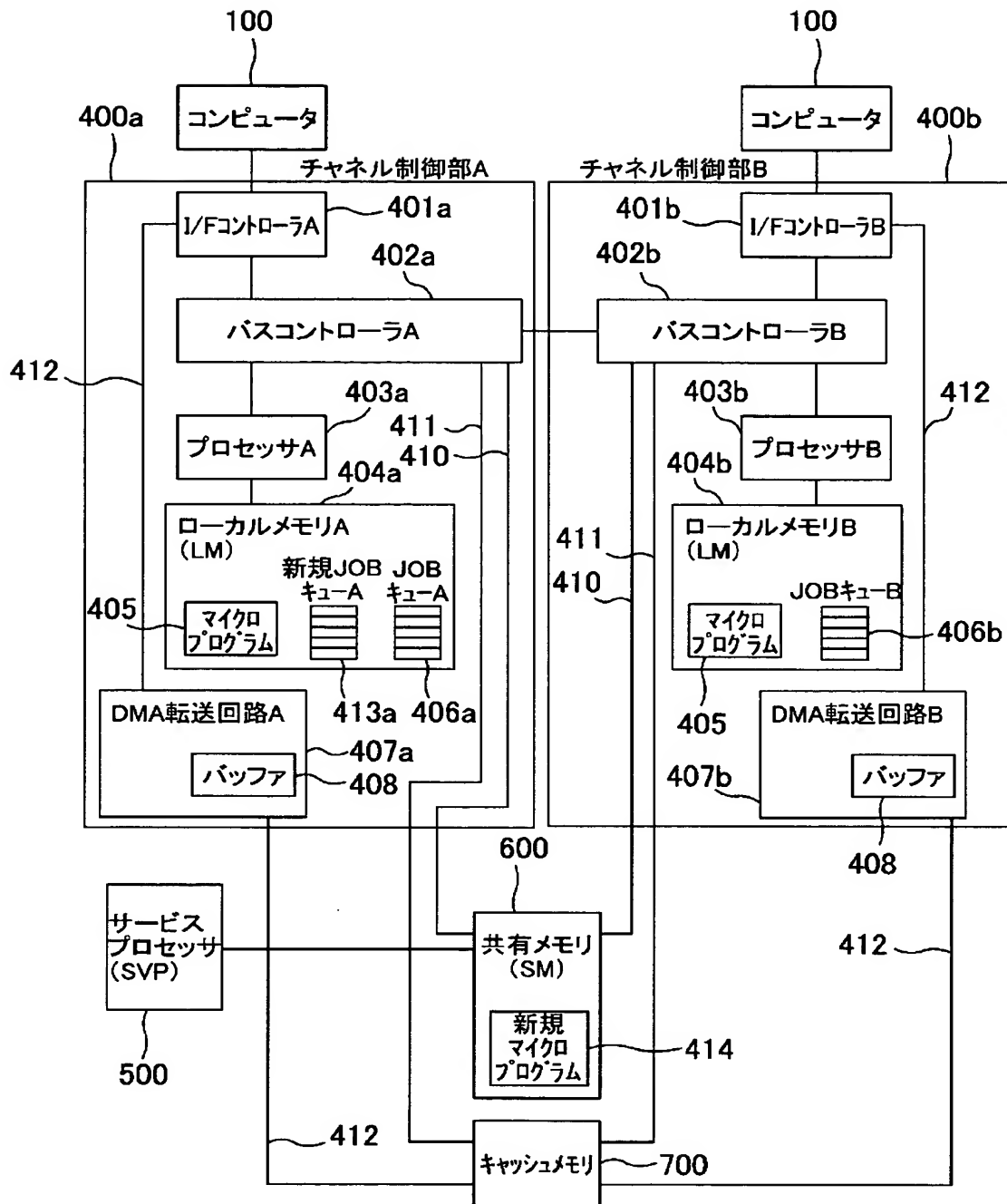
4 0 0	チャネル制御部
4 0 1	I F コントローラ
4 0 2	バスコントローラ
4 0 3	プロセッサ
4 0 4	ローカルメモリ
4 0 5	マイクロプログラム
4 0 6	J O B キュー
4 0 7	DMA 転送回路
4 0 8	バッファ
4 0 9	P C I - X
4 1 0	共有メモリバス
4 1 1	キャッシュ制御バス
4 1 2	キャッシュデータバス
4 1 3	新規 J O B キュー
4 1 4	新規マイクロプログラム
5 0 0	サービスプロセッサ
6 0 0	共有メモリ
7 0 0	キャッシュメモリ
8 0 0	ディスク制御部
9 0 0	内部ネットワーク
1 0 0 0	記憶装置システム

【書類名】 図面

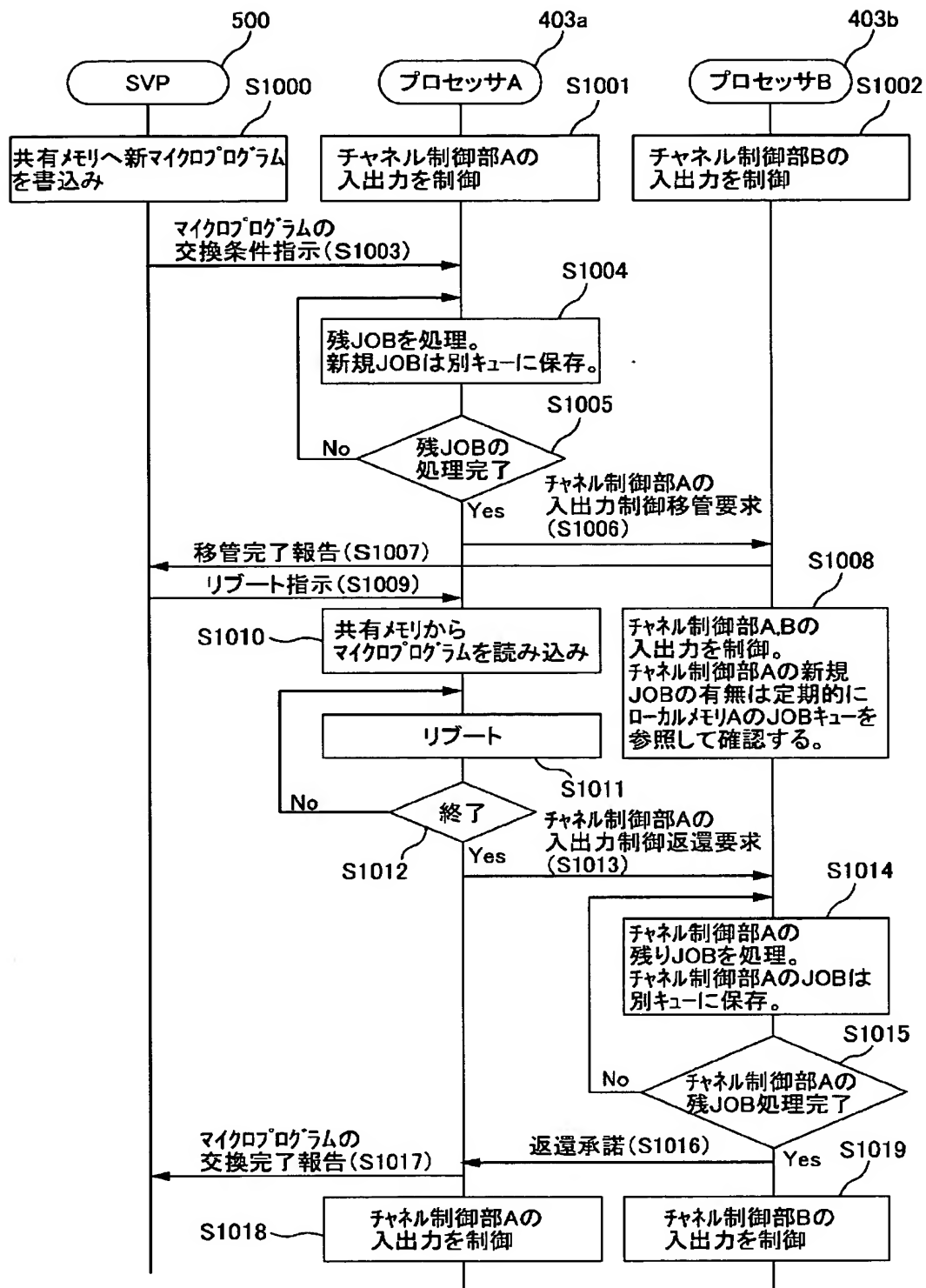
【図 1】



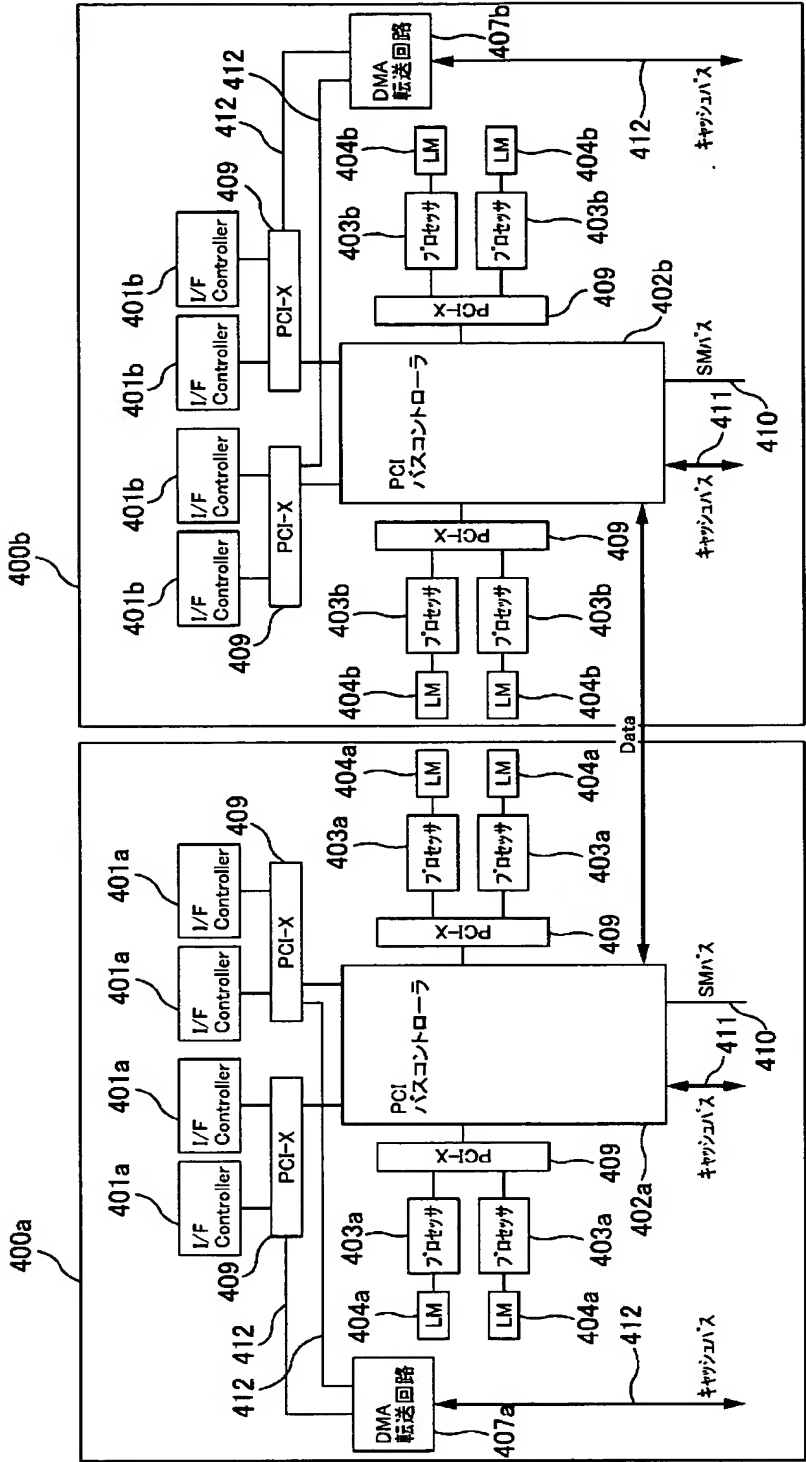
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【解決手段】 コンピュータとの間で通信を行うための第1及び第2の通信ポートと、第1及び第2の通信ポートをそれぞれ制御する第1及び第2のプロセッサと、コンピュータから第1及び第2の通信ポートにそれぞれ送られたコマンドをそれぞれ記憶するための第1及び第2の待ち行列をそれぞれ記憶する第1及び第2の記憶手段と、第1のプロセッサがアクセスする第1の不揮発性メモリとを備え、第1及び第2のプロセッサはそれぞれ第1及び第2の待ち行列に格納したコマンドを実行することによりコンピュータとの間の通信を制御する記憶装置の制御装置において、第1の待ち行列に格納されたコマンドの実行を第2のプロセッサに担当させる手段と、第1の待ち行列に格納されたコマンドの実行を第2のプロセッサに担当させている間に、第1の不揮発性メモリに記憶されるデータを変更する手段とを備える。

【選択図】 図2

特願 2 0 0 2 - 3 1 3 0 2 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所